

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-062155
(43)Date of publication of application : 31.03.1986

(51)Int.Cl.

G06F 13/14

(21)Application number : 59-184786

(71)Applicant : NEC CORP

(22)Date of filing : 04.09.1984

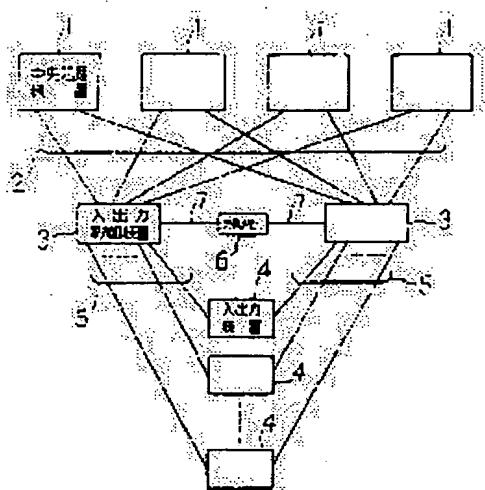
(72)Inventor : MORIYA KEIZO

(54) INPUT/OUTPUT CONTROL DEVICE

(57)Abstract:

PURPOSE: To obtain the efficient occupancy control of an input/output device by preventing the competition of a busy to free interruption report in a busy to free interruption processing from the information of determining the preferred transfer of the busy to free interruption report.

CONSTITUTION: The bit of the previous busy to free interruption report display, corresponding to the last input/output control-device number reporting a busy to free interruption from an input/output control device 3 to a central processing unit 1 becomes 1 and the other bit, corresponding to the other input/output device reports the busy to free interruption to the central processing unit 1. In case that a command issue corresponding it is later than that from the central processing unit 1, an input/output device 4 makes the condition of a constant time using to command issuing from the central processing unit 1 to avoid the using state of an input/output device 4.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁 (JP) ⑪ 特許出願公開
⑫ 公開特許公報 (A) 昭61-62155

⑬ Int.Cl.
G 06 F 13/14

識別記号 庁内整理番号
7165-5B

⑭ 公開 昭和61年(1986)3月31日

審査請求 未請求 発明の数 1 (全6頁)

⑮ 発明の名称 入出力制御装置

⑯ 特 願 昭59-184786
⑰ 出 願 昭59(1984)9月4日

⑱ 発明者 森 谷 啓 造 東京都港区芝5丁目33番1号 日本電気株式会社内
⑲ 出願人 日本電気株式会社 東京都港区芝5丁目33番1号
⑳ 代理人 弁理士 芦 田 坦 外2名

明細書

1. 発明の名称

入出力制御装置

2. 特許請求の範囲

1. 複数の中央処理装置と入出力インターフェースを介して接続されている入出力制御装置の制御下にある複数の入出力装置を、前記複数の中央処理装置と入出力インターフェースを介して接続されている他の入出力制御装置とともに制御するクロスコール接続構成のデータ処理装置において、前記入出力制御装置間に共有されている複数の入出力装置の占有制御処理過程に発生しうるビージックフリー割込み報告のアクセスパス履歴情報を入出力制御装置内で発生する時系列情報とともに任意数格納する手段と、中央処理装置からあらかじめ各入出力制御装置へ前記複数の入出力装置に対応して送出されるビージックフリー割込み報告優先順位決定情報を格納する手段と、前記アクセス

パス履歴情報と前記複数の入出力装置に対応に格納されたビージックフリー割込み報告優先順位決定情報からビージックフリー割込み処理時のビージックフリー割込み報告の競合を防止する手段とを有することを特徴とする入出力制御装置。

3. 発明の詳細な説明

[産業上の利用分野]

本発明は、データ処理装置における入出力制御装置に関し、特に入出力装置の占有制御方式に関する。

[従来技術]

従来、データ処理装置における入出力制御装置では、中央処理装置からの命令処理の中で複数の入出力制御装置によってクロスコール接続された入出力装置の占有制御を行なう過程において、選出対象の入出力装置が他方の入出力制御装置に占有されていたならば、使用中(ビジー)の報告を中央処理装置へ行ない、命令処理の実行待ち状態を中央処理装置へ表示し、当刻アクセスパスに対

してはビットクフリー割込み報告義務を持つ。使用中報告を受けた中央処理装置上のソフトウェアは、使用したい入出力装置の解放を待って再び入出力制御装置へ命令を発行する手順を実行することになる。

前述の使用したい入出力装置の解放を知る手段としてのビットクフリー割込み報告の発生契機を検出した入出力制御装置は、ビットクフリー割込み報告義務を持ったアクセスパスに対して順次ビットクフリー割込み報告を行なう。

〔発明が解決しようとする問題点〕

ここで、前述のビットクフリー割込み報告をされたアクセスパスから再び使用したい入出力装置に対する命令が入出力制御装置へ発行される。しかしながら、入出力制御装置が実行出来る命令処理は1つであるため、前記アクセスパス間で競合が発生し、再び使用中の報告がなされるアクセスパスが出て来ることになり、最悪の場合にはいつまでも命令実行が出来ないアクセスパスが存在するという欠点がある。

の入出力装置の占有制御処理過程に発生しうるビットクフリー割込み報告のアクセスパス履歴情報を入出力制御装置内で発生する時系列情報とともに任意数格納する手段と、中央処理装置からあらかじめ各入出力制御装置へ前記複数の入出力装置に対応して送出されるビットクフリー割込み報告優先順位決定情報を格納する手段と、前記アクセスパス履歴情報と前記複数の入出力装置に対応して格納されたビットクフリー割込み報告優先順位決定情報とからビットクフリー割込み処理時のビットクフリー割込み報告の競合を防止する手段とを有することを特徴とする入出力制御装置が得られる。

〔実施例〕

次に、本発明について図面を参照して詳細に説明する。

本発明の実施例としてマイクロプログラム制御方式を採用した入出力制御装置を説明の対象とする。

第1図に示すごとく、入出力制御装置3は4台

本発明の目的は、入出力制御装置から報告されるビットクフリー割込みをビットクフリー割込み報告義務を持ったアクセスパスのすべてに対して行なうのではなく、過去の入出力装置対応で格納されているビットクフリー割込み報告のアクセスパス履歴情報と入出力装置に対応したビットクフリー割込み報告優先順位決定情報とから判断し、1つのアクセスパスのみにビットクフリー割込み報告を行なうことにより前記欠点を除去し、中央処理装置のソフトウェアからスムーズな入出力装置の占有、解放を実現出来るようにした入出力制御装置を提供することにある。

〔問題点を解決するための手段〕

本発明によれば、複数の中央処理装置と入出力インターフェースを通して接続されている入出力制御装置の制御下にある複数の入出力装置を、前記複数の中央処理装置と入出力インターフェースを介して接続されている他の入出力制御装置とともに制御するクロスコール接続構成のデータ処理装置において、前記入出力制御装置間に共有した複数

の中央処理装置1と4組の入出力インターフェース2にて接続され、また16台の入出力装置4と入出力装置インターフェース5によって接続されている。2つの入出力制御装置3は共有メモリインターフェース7によって共有メモリ6へアクセス可能となっている。

第2図をも参照して、入出力制御装置3は、中央処理装置1から送信されて来る命令を、入出力インターフェース2、入出力インターフェース送受信部10、入出力インターフェース制御部11を通じてマイクロプログラム制御部14へ取込む。命令処理は、データ処理部12、入出力装置インターフェース制御部13、入出力装置インターフェース5を通じて入出力装置へ実行されるが、処理に先だって入出力装置4を占有接続することが必要である。

第3図は本発明にもとづいて共有メモリ6に格納されるアクセスパス履歴テーブル（アクセスパス履歴情報とビットクフリー割込み報告優先順位決定情報）を示す。このテーブルは入出力制御

装置3により共有メモリインタフェース7を介してアクセスされる。

第4図は入出力装置4を占有接続する処理の流れ図を示し、第5図(a), (b)はビージックフリー割込み処理の流れ図を示す。

第3図に示したペイト群のピットとしてビージックフリー割込み報告義務有無表示は、占有接続の処理が不成功に終った時に使用中報告を命令受信と逆のパスにて中央処理装置1へ実行したことを見出し、使用中状態が解放された時にビージックフリー割込み報告を行なう契機となるものである。入出力制御装置番号および入出力インターフェースポート番号は、複数個ある各要素を番号付けすることにより、使用中報告およびビージックフリー割込み報告のアクセスパスを2進表示可能とする。これらのピット数が各要素の個数に応じて増減されることは、本制御論理上なんら問題はない。これについては、入出力装置番号ごとに設けられるペイト群(入出力制御装置数に対応)の個数についても全く同一である。

占有制御を行なうこと目的としている。

また、入出力装置占有抑止のピットをセットする前には、対応する入出力装置のビージックフリー割込み報告優先順位決定のピットを各入出力制御装置のものに対して参照する。そして、入出力装置占有抑止のピットをセットしようとしている入出力制御装置のものにビージックフリー割込み報告優先順位決定のピットが“1”であったならば、その入出力制御装置の占有処理を優先とするために入出力装置占有抑止のピットをその入出力制御装置については控える操作を行なう。しかし、ビージックフリー割込み報告優先順位決定のピットが“1”でない入出力制御装置の占有処理を全く行なわないか、優先される入出力制御装置の占有期間内であるひん度で行なうかの仕様およびビージックフリー割込み報告優先順位決定のピットの解除の契機の仕様については、あらかじめ決めておくものとする。

本実施例においては、中央処理装置からの命令の種別の中に優先的な意味をもったものを設ける

前回ビージックフリー割込み報告表示のピットは、その入出力装置4において入出力制御装置3から中央処理装置1へのビージックフリー割込み報告をした最後の入出力制御装置番号に対応したペイトのもののみが“1”となり、他の入出力制御装置番号に対応するものは“0”となっている。これは共有メモリへ前回のビージックフリー割込み報告のアクセスパス履歴情報を格納しておくことで次回のアクセスパスを前回とは異なるものとする目的とする。

入出力装置占有抑止のピットは、ビージックフリー割込み報告が中央処理装置1へなされ、それに応じる命令発行が他の中央処理装置1からの命令発行よりも遅くなっただ場合に、再び使用予定の入出力装置4が使用中状態になることをさけるため他の中央処理装置1からの命令発行に対してある一定時間使用中状態を作る目的のものである。すなわち、ビージックフリー割込み報告をしたアクセスパスは、ある一定時間それを受信した中央処理装置1に対してオープン状態とし、スムーズ

ことにより、この命令が使用中(ビジー)報告される場合に、第3図のアクセスパス履歴テーブル上の対応する入出力装置番号と、入出力制御装置番号の領域の所定ピットを“1”にすることによりビージックフリー割込み報告優先順位決定情報をとする。

【発明の効果】

本発明は以上説明したように、ビージックフリー割込み報告に順位を持たせることにより、効率の良い入出力装置の占有制御が出来るという効果がある。

4. 図面の簡単な説明

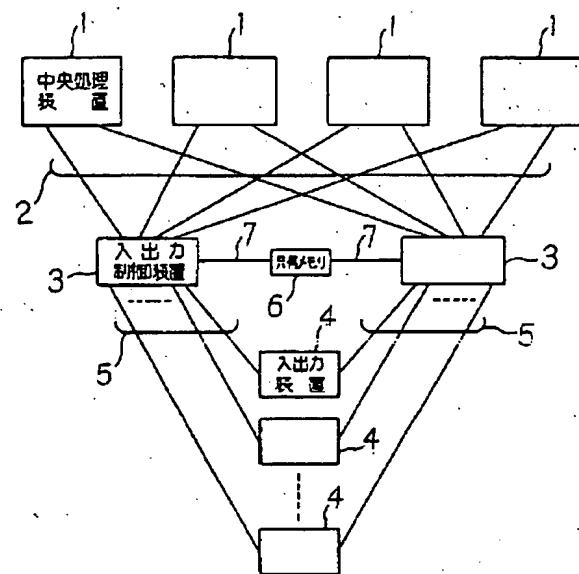
第1図は、本発明の一実施例を示すシステム構成図、第2図は、第1図に示した入出力制御装置内のブロック図、第3図は、共有メモリ上に格納されるアクセスパス履歴テーブルのフォーマットを示し、第4図は、入出力制御装置での中央処理装置からの命令受理後のマイクロプログラム処理の流れ図、第5図(a), (b)は、本発明の特徴となる

ビギーツクフリー削込み報告処理の流れ図である。

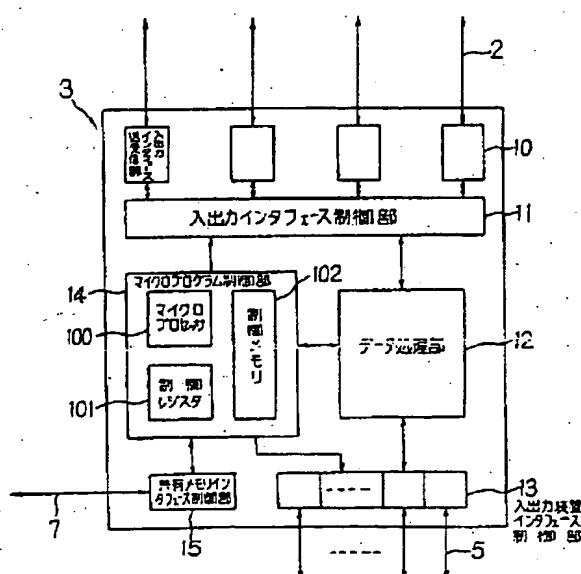
1 … 中央処理装置， 2 … 入出力インターフェース，
 3 … 入出力制御装置， 4 … 入出力装置， 5 … 入出
 力装置インターフェース， 6 … 共有メモリ， 7 … 共
 有メモリインターフェース， 10 … 入出力インターフ
 ェース送受信部， 11 … 入出力インターフェース制
 御部， 12 … データ処理部， 13 … 入出力装置イ
 ンタフェース制御部， 14 … マイクロプログラム
 制御部， 15 … 共有メモリインターフェース制御部，
 100 … マイクロプロセッサ， 101 … 制御レジ
 スタ， 102 … 制御メモリ。

代理人 CIIJ 弁理士 後藤洋介

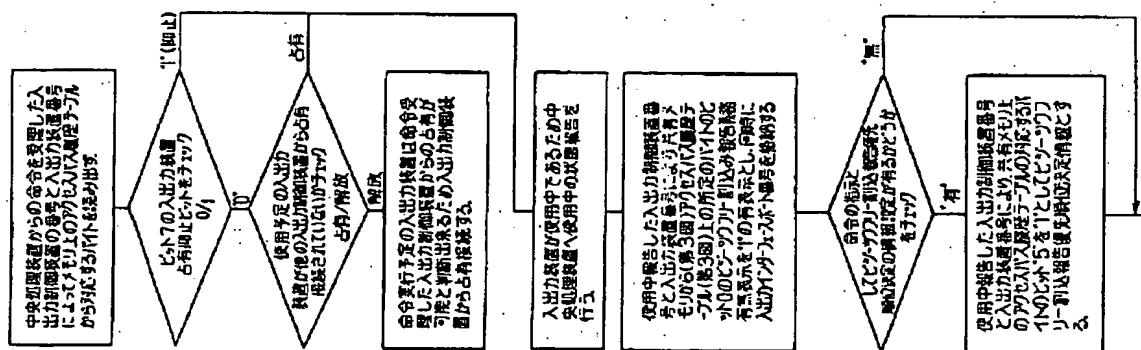
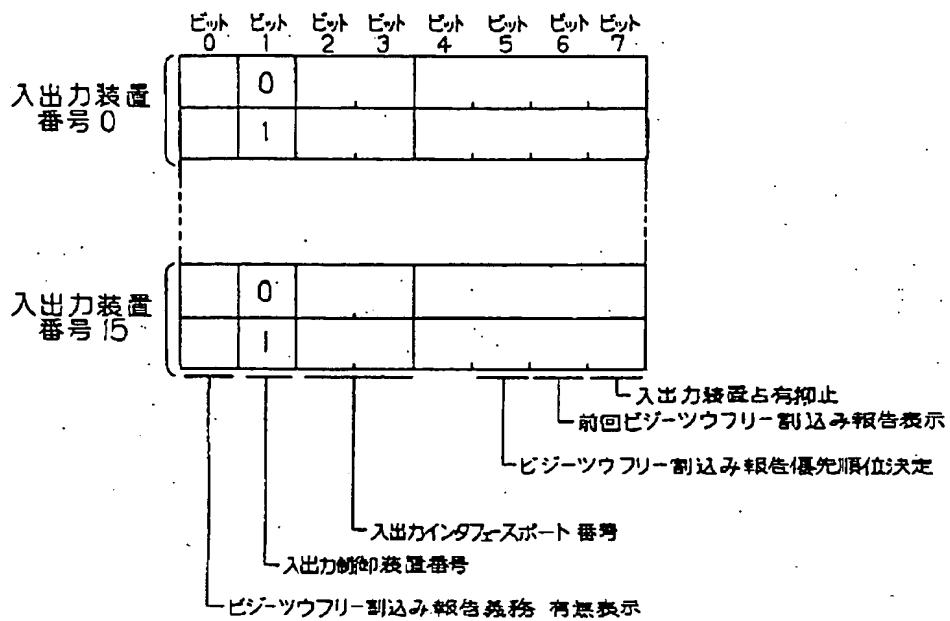
第1図



第2図

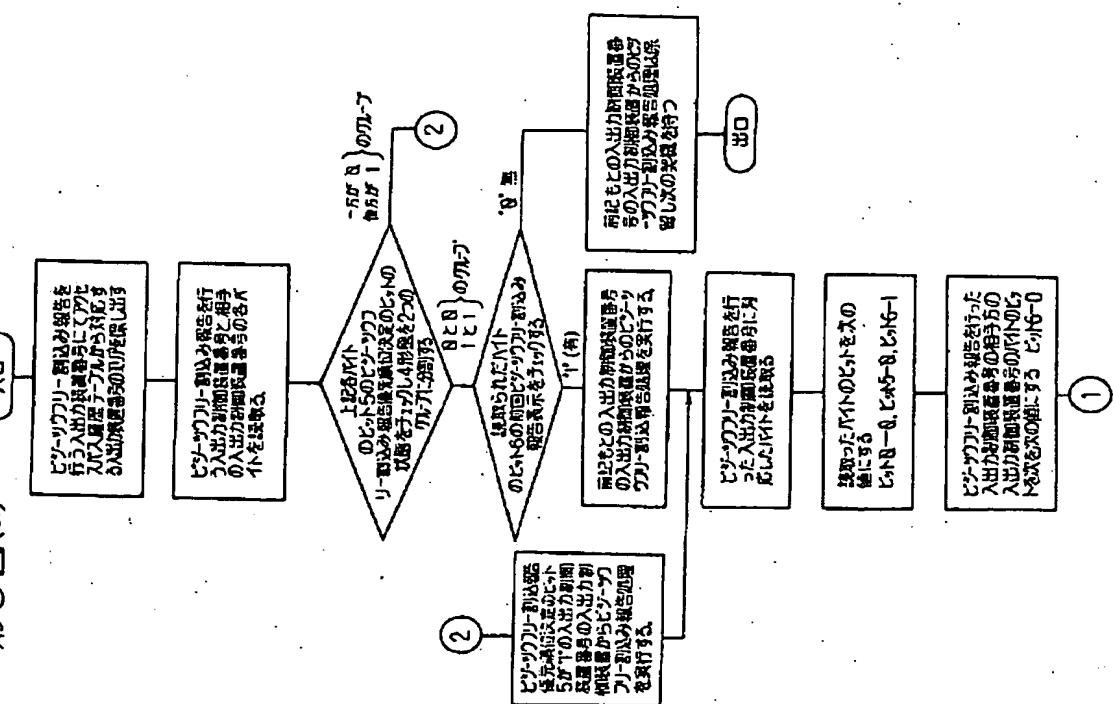


第3回



第4圖

第5圖(a)



第5圖(b)

